

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-075978

(43)Date of publication of application : 29.03.1991

(51)Int.Cl. G06G 7/18
H03M 1/08

(21)Application number : 02-206922 (71)Applicant : PHILIPS
GLOEILAMPENFAB:NV

(22)Date of filing : 06.08.1990 (72)Inventor : HUGHES JOHN B

(30)Priority

Priority number : 89 8917999

Priority date : 07.08.1989

Priority country : GB

(54) INTEGRATION CIRCUIT

(57)Abstract:

PURPOSE: To cancel the mismatching of a device, and to reduce an error by generating output currents for sensing input currents by using the same device for a current memory cell.

CONSTITUTION: A first current memory cell is constituted of a transistor T1, switch

S2, and capacitor C1. The drain electrode of the transistor T1 forms the input terminal of a current memory cell when the switch S2 is turned on, and forms a first output terminal of the current memory cell when the switch S2 is turned off according to a control signal. A second current memory cell is constituted of a transistor T2, switch S3 and capacitor C2, and operated in the same way as the first memory cell according to the on/off of the switch S3. Then, output currents in an appropriate size can be generated through the transistor T3 to a second output terminal 6. Thus, the mismatching of the device is canceled, and the error is reduced.

LEGAL STATUS [Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平3-75978

(43) 公開日 平成3年(1991)3月29日

(51) Int. Cl. ⁵
G 0 6 G 7/18
H 0 3 M 1/08

識別記号

F I

審査請求 有 請求項の数12 (全19頁)(21)

(21) 出願番号 特願平2-206922

(22) 出願日 平成2年(1990)8月6日

(31) 優先権主張番号 8917999.8

(32) 優先日 1989年8月7日

(33) 優先権主張国 イギリス (GB)

(71) 出願人 999999999

コーニンクレッカ フィリップス エレ
クトロニクス エヌ ヴィ
N L

(72) 発明者 ジョン バリー ヒューズ

*

(54) 【発明の名称】積分回路

(57) 【要約】

【目的】個々のトランジスタ間の整合に対して敏感でない積分器を提供する

【効果】差分信号を有効に処理することができ、この差分信号は共通モード妨害信号に対する感度が低く、かつ偶数調波ひずみが相殺されるようにして得ることができる

【産業上の利用分野】積分回路に関する

【特許請求の範囲】

請求の範囲テキストはありません。

【発明の詳細な説明】

詳細な説明テキストはありません。

【図面の簡単な説明】

図面の簡単な説明テキストはありません。

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-75978

⑬ Int. Cl. 5

識別記号

庁内整理番号

⑭ 公開 平成 3 年(1991) 3 月 29 日

G 06 G 7/18
H 03 M 1/08A 6945-5B
Z 9065-5J

審査請求 未請求 請求項の数 12 (全 19 頁)

⑮ 発明の名称 積分回路

⑯ 特 願 平2-206922

⑰ 出 願 平 2 (1990) 8 月 6 日

優先権主張 ⑱ 1989 年 8 月 7 日 ⑲ イギリス (GB) ⑳ 8917999.8

⑳ 発 明 者 ジョン バリー ヒュ イギリス国 サセックス ホーヴ ランスデイル ガーデ
ーズ ンス 38㉑ 出 願 人 エヌ ベー フィリッ オランダ国 5621 ベーアー アインドーフエン フルーネ
ブス フルーイランベ パウツウエツハ 1
ンフアブリケン

㉒ 代 理 人 弁理士 杉村 暁秀 外 5 名

明 細 書

1. 発明の名称 積分回路

2. 特許請求の範囲

1. サンプリングされたアナログ電流の形態の入力信号受信用の入力端子と、作動時に積分された入力信号をサンプリングされたアナログ電流の形態で得ることができる出力端子と、積分回路の入力端子に接続される入力端子及び第 2 電流メモリ・セルの入力端子に接続される出力端子を有する第 1 電流メモリ・セルとを具える積分回路であって、前記第 2 電流メモリ・セルが前記第 1 電流メモリ・セルの前記入力端子に接続された第 1 出力端子と、前記積分回路の前記出力端子に接続された第 2 出力端子とを有する積分回路において、

前記入力電流を受信するのと同じデバイスによって前記第 1 電流メモリ・セルの出力電流が発生し、かつ、前記入力電流を受信するのと同じデバイスによって前記第 2 電流メモリ・セルの前記第 1 出力端子に出力電流が発

生するようにしたことを特徴とする積分回路。

2. 前記積分回路の入力端子、前記第 1 及び第 2 電流メモリ・セルの入力端子、前記第 1 電流メモリ・セルの出力端子、前記第 2 電流メモリ・セルの第 1 出力端子とバイアス電流源とを単一のノードに接続し、かつ、このバイアス電流が両極性の信号を積分できるようにしたことを特徴とする請求項 1 に記載の積分回路。
3. 第 1 及び／又は第 2 電流メモリ・セルが、ゲート電極とドレイン電極との間にスイッチを有する MOS 電界効果トランジスタを具え、前記スイッチが閉じるときに前記入力信号が供給され、このスイッチが開放されているときに前記出力信号が得られるようにし、かつ、入力アナログ電流のサンプリング周期と同期させるクロック信号によりスイッチの動作を制御する手段を具えている請求項 1 又は 2 に記載の積分回路。
4. 固有のゲート・ソース間容量に加えて、他

特開平 3-75978(2)

のキャパシタをトランジスタのゲート電極とソース電極との間に接続することを特徴とする請求項 3 に記載の積分回路。

5. カスコード接続されるトランジスタのソース・ドレイン通路を、前記一方又は双方の電流メモリ・セルにおける第 1 トランジスタのドレイン電極とスイッチとの間に接続したことを特徴とする請求項 3 又は 4 に記載の積分回路。
6. 前記第 1 及び/又は第 2 電流メモリ・セルが変形電流搬送回路を具え、この変形電流搬送回路が入力アナログ電流のサンプリング周期と、同期するスイッチング手段を具え、前記入力アナログ電流によって、前記スイッチが第 1 状態にある場合に前記電流搬送回路の x 入力端子に供給される電流をモニタし、又、前記スイッチが第 2 状態にある場合には、前記スイッチング手段がその第 1 状態にあった場合に前記 x 入力端子に供給された電流を再び x 入力端子に発生させるようにしたことを

特徴とする請求項 1 ~ 5 のいずれか一項に記載の積分回路。

7. 前記電流搬送回路をクラス II の電流搬送回路としたことを特徴とする請求項 6 に記載の積分回路。
8. バイアス電位源に接続した反転入力端子と、第 1 及び/又は第 2 電流メモリ・セルの電界効果トランジスタのドレイン電極に接続した非反転入力端子とを有する差動増幅器を具え、前記スイッチを前記それぞれのトランジスタのドレイン電極に接続する代わりに、前記増幅器の出力端子に接続したことを特徴とする請求項 3 に記載の積分回路。
9. 差分入力信号を受信し、かつ差分出力信号を発生するようにしたことを特徴とする請求項 1 ~ 8 のいずれか一項に記載の積分回路。
10. 差分入力信号を受信するための第 1 及び第 2 入力端子と、差分出力信号を得るための第 1 及び第 2 出力端子とを具え、かつ、前記積分回路が請求項 1 ~ 8 のいずれか一項に記載

- 3 -

の第 1 及び第 2 積分回路を構成し、この第 1 及び第 2 積分回路が同一形態であり、この積分器の出力端子が差分出力信号を供給することを特徴とする請求項 9 に記載の積分回路。

11. 前記第 2 電流メモリ・セルが前記第 2 電流メモリ・セルの入力端子を前記ノードに接続した場合にはこのノードに接続されるも、前記第 1 電流メモリ・セルの入力端子を前記ノードに接続した場合にはこのノードに接続されない第 3 出力端子を有していることを特徴とする請求項 1 ~ 10 のいずれか一項に記載の積分回路。
12. 前記第 2 電流メモリ・セルが、前記第 1 電流メモリ・セルの入力端子を前記ノードに接続した場合には前記ノードに接続されるも、前記第 2 電流メモリ・セルの入力端子を前記ノードに接続した場合には前記ノードに接続されない第 4 出力端子を有していることを特徴とする請求項 11 に記載の積分回路。

- 5 -

- 4 -

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、サンプリングされたアナログ電流の形態の入力信号受信用の入力端子と、作動時に積分された入力信号をサンプリングされたアナログ電流の形態で得ることができる出力端子と、積分回路の入力端子に接続される入力端子及び第 2 電流メモリ・セルの入力端子に接続される出力端子を有する第 1 電流メモリ・セルとを具える積分回路であって、前記第 2 電流メモリ・セルが前記第 1 電流メモリ・セルの前記入力端子に接続された第 1 出力端子と、前記積分回路の前記出力端子に接続された第 2 出力端子とを有する積分回路に関するものである。

(従来の技術)

このような積分回路は、1989年2月17日に IEEE Colloquium on Current-Mode Analogue Circuit で出版された「スイッチ電流を用いた VLSI のためのアナログ・サンプリング・データ信号処理 (Analogue sampled-data signal processing

6 -

特開平 3-75978(3)

for VLSI using switched currents)" という表題の Hughes J.B., Bird N.C., MacBeth I.C. による論文に開示されている。

この論文で開示されている積分回路は、第2電流メモリ・セルから第1電流メモリ・セルに流れるフィードバック電流を制限するトランジスタ間を整合させるものである。理想的な、すなわち非損失性の積分器を作成する場合に、ループ・ゲインが1よりも大きくなる。すなわち、整合誤差がフィードバック信号の安定性を増すようなものであるならば、この回路は不安定となる可能性がある。同様に高Q回路が要求される場合、積分器のレスポンスは、トランジスタの整合における誤差に対して極めて敏感となる。

(発明が解決しようとする課題)

本発明の目的は、個々のトランジスタ間の整合に対して敏感でない冒頭にて述べた種類の積分器を提供することにある。

(課題を解決するための手段)

本発明は、前記入力電流を受信するのと同じデ

バイスによって前記第1電流メモリ・セルの出力電流が発生し、かつ、前記入力電流を受信するのと同じデバイスによって前記第2電流メモリ・セルの前記第1出力端子に出力電流が発生するようにしたことを特徴とする積分回路を提供する。

電流メモリ・セルに同じデバイスを用いて入力電流を感知するのに用いる出力電流を発生させ、デバイスの不整合に関する問題を除去する。このことは、第2電流メモリ・セルの第2出力端子ではいえず、又、フィードバック通路においても同様であるため、一定の利得誤差が生じる。しかし、このことは積分処理には影響を及ぼさない。というのは、各サンプリング期間において、入力信号にこの誤差が加わらないからである。

他の機能を遂行する1つ以上の積分回路又は積分回路のモジュール間に信号電流のみを流すことを可能とした本発明の好適例では、前記積分回路の入力端子、前記第1及び第2電流メモリ・セルの入力端子、前記第1電流メモリ・セルの出力端子、前記第2電流メモリ・セルの第1出力端子と

- 7 -

バイアス電流源とを単一のノードに接続し、かつ、このバイアス電流が両極性の信号を積分できるようにした。

第1電流メモリ・セルが、ゲート電極とドレイン電極との間にスイッチを有するMOS電解効果トランジスタを具え、前記スイッチが閉じるときに前記入力信号が供給され、このスイッチが開放されているときに前記出力信号が得られるようにし、かつ、入力アナログ電流のサンプリング周期と同期させるクロック信号によりスイッチの動作を制御する手段を具えることができる。

固有のゲート・ソース間容量に加えて、他のキャパシタをトランジスタのゲート電極とソース電極との間に接続することができる。

カスコード接続されるトランジスタのソース・ドレイン通路を、前記一方又は双方の電流メモリ・セルにおける第1トランジスタのドレイン電極をスイッチとの間に接続できる。

前記第1及び/又は第2電流メモリ・セルが変形電流搬送回路を具え、この変形電流搬送回路が

- 8 -

入力アナログ電流のサンプリング周期と、同期するスイッチング手段を具えることができ、前記入力アナログ電流によって、前記スイッチが第1状態にある場合に前記電流搬送回路のx入力端子に供給される電流をモニタし、又、前記スイッチが第2状態にある場合には、前記スイッチング手段がその第1状態にあった場合に前記x入力端子に供給された電流を再びx入力端子に発生させるようにすることができる。この電流搬送回路はクラスIIの電流搬送回路とすることができる。

電流メモリ・セルを変形電流搬送回路の形態で作成することにより電流搬送回路のx入力端子の入力インピーダンスを非常に小さくし、この入力端子での電流加算の正確性を最大にすることができるという点で有利である。

この積分器は、バイアス電位源に接続した反転入力端子と、第1及び/又は第2電流メモリ・セルの電界効果トランジスタのドレイン電極に接続した非反転入力端子とを有する差動増幅器を具えることができ、前記スイッチを前記それぞれのト

特開平 3-75978(4)

ランジスタのドレイン電極に接続する代わりに、前記増幅器の出力端子に接続した。

このことによって、電流メモリ・セルの入力端子のインピーダンスが減少し、入力端子での電流の加算が正確になる。

第2電流メモリ・セルは第3出力端子を設け、この第2電流メモリ・セルの入力端子をノードに接続したばしにのみ、この第3出力端子をこのノードに接続する。

このことにより、損失項が良好に規定される損失性積分器を作成することが可能となる。

前記第2電流メモリ・セルが、前記第1電流メモリ・セルの入力端子を前記ノードに接続した場合には前記ノードに接続されるも、前記第2電流メモリ・セルの入力端子を前記ノードに接続した場合には前記ノードに接続されない第4出力端子を有することができる。このことにより、MOSトランジスタのエッジ効果による誤差を相殺することで損失項の規定をさらに改善することができる。

前記積分器は、差分入力信号を積分するように

構成することができ、また、差分入力信号を受信するための第1及び第2入力端子と、差分出力信号を得るための第1及び第2出力端子とを具えることができ、前記積分回路が前記第1及び第2積分回路を構成し、この第1及び第2積分回路が同一形態であり、この積分器の出力端子が差分出力信号を供給する。

このことにより、差分信号を有効に処理することができ、この差分信号は共通モード妨害信号に対する感度が低く、かつ偶数調波ひずみが相殺されるようにして得ることができる。

(実施例)

以下図面を参照して、本発明を実施例につき説明するに、第1図は、本発明による積分回路の第1実施例の回路図を示しており、この回路は入力端子1を具え、この入力端子をスイッチ1を介しノード2に接続する。電流源3と第1及び第2nチャンネル電界効果トランジスタT1及びT2のドレイン電極と、第2及び第3スイッチS2及びS3をもまたノード2に接続する。電流源3の他端を正の

- 11 -

- 12 -

給電ライン4に接続するとともに、トランジスタT1及びT2のソース電極を負の給電ライン5に接続する。スイッチS2の他端を、トランジスタT1のゲート電極及びキャパシタC1の接続点に接続し、又、スイッチS3の他端をトランジスタT2のゲート電極及びキャパシタC2の接続点に接続する。キャパシタC1及びC2の他端を負の給電ライン5に接続する。トランジスタT2のゲート電極を他のnチャンネル電界効果トランジスタT3のゲート電極に接続し、このトランジスタT3のソース電極を負の給電ライン5に接続する。トランジスタT3のドレイン電極を出力端子6に接続するとともに、電流源7を介して正の給電ライン4に接続する。

第2図は、スイッチS1～S3を作動させる制御信号の波形図を示している。信号φ1が高レベルである各サンプリング期間の間（以後、期間φ1と称する）において、スイッチS1とS3は閉成し、一方信号φ2が高レベルである各サンプリング期間の部分（以後、期間φ2と称する）において、スイッチS2は閉成する。入力端子1に供給される

この入力、サンプリング電流から成り、このサンプリング電流は、サンプリング期間全体で一定とすることができる。積分器の整定時間を無視すれば、出力端子6の出力はサンプリング期間全体において一定となる。

第1図に示す積分器は、入力信号を受信するための入力端子1と、積分された入力信号が得られる出力端子6とを具えている。第1電流メモリ・セルは、トランジスタT1、スイッチS2とキャパシタC1とを具えている。キャパシタC1は、トランジスタT1の固有のゲートキャパシタンスとなり得、又付加キャパシタンスを供給することによりその容量を増加させることができる。トランジスタT1のドレイン電極はスイッチS2が閉成している場合には電流メモリ・セルの入力端子を形成し、スイッチS2が開放している場合には電流メモリ・セルの出力端子を形成する。第2電流メモリ・セルは、トランジスタT2、スイッチS3及びキャパシタC2を具え、実質的には第1電流メモリ・セルと同様に構成され、動作する。しかし、第2電流メモリ・

特開平 3-75978(5)

セルはトランジスタT3のドレイン電極からの第2出力を有する。トランジスタT3はトランジスタT2における電流を反映し、このトランジスタT3を適当に設計することにより第2出力端子に適当な大きさの出力電流を発生させることができる。

第1図に示す積分器及び第3図～第12図に示す実施例の積分器はnチャンネル電界効果トランジスタを用いているが、電圧源及び電流源の極性を適切に変えることで、pチャンネルの電界効果トランジスタを用いることができる。積分器の性能を改善するため、後述のように、電流メモリ・セルを種々変更することができ、このように変更した電流メモリ・セルは、nチャンネル型又はpチャンネル型又はこれら2つを組み合わせて、ここに開示されているいかなる積分回路のいかなる組み合わせにおいても用いることができる。

第1図に示す積分器の動作は以下のように解析できる。

サンプリング期間(n-1)における期間φ2の間にトランジスタT1を流れる電流 I_1 は、次の関係式

によって示される。

$$I_1 = 2j - I_2 = 2j - I_2 / A = j + \frac{j_0(n-1)}{A}$$

ここで、 $I_2 / A = j - j_0(n-1) / A$

I_2 は、トランジスタT2を流れる電流

I_3 は、トランジスタT3を流れる電流

$j_0(n-1)$ は、サンプリング期間(n-1)

における出力端子Gに流れる電流である。

サンプリング期間nのφ1の間において、

$$I_3 / A = I_2 = 2j - I_1 + i(n)$$

ここで、 $i(n)$ はサンプリング期間における入力端子1に流れる電流である。

$$I_3 = A j - i_0(n-1) + A i(n)$$

$$i_0(n) = A j - I_3$$

$$= i_0(n-1) - A i(n)$$

z領域に変換すると、

$$i_0(z) = i_0(z) z^{-1} - A i(z)$$

$$H(z) = \frac{i_0(z)}{i(z)} = \frac{-A}{1-z^{-1}}$$

- 15 -

このようにして、逆方向オイラー理想積分器(Backward Euler Ideal Integrator)を作成した。

順方向オイラー理想積分器(Forward Euler Ideal Integrator)を作成するために、各サンプリング期間のφ2の間は、スイッチS1及びS2を閉じ、又各サンプリング期間のφの間は、スイッチS3を閉じるようにする。逆方向オイラー理想積分器の解析と同じ記号を用いて、順方向オイラー理想積分器の動作を以下のように解析することができる。

サンプリング期間(n-1)のφ2の間において、

$$\begin{aligned} I_1 &= 2j + i(n-1) - I_2 \\ &= 2j + i(n-1) - (j - i_0(n-1)/A) \\ &= j + i(n-1) + i_0(n-1)/A \end{aligned}$$

サンプリング期間nのφ1の間において、

$$\begin{aligned} I_2 &= I_3 / A = j - i_0(n)/A \\ &= 2j - I_1 \\ &= 2j - (j + i(n-1) + i_0(n-1)/A) \\ j - i(n-1) - i_0(n-1)/A &= j - i_0(n)/A \\ i(n-1) + i_0(n-1)/A &= i_0(n)/A \end{aligned}$$

z領域に変換すると、

- 16 -

$$A i(z) z^{-1} + i_0(z) z^{-1} = i_0(z)$$

$$H(z) = \frac{i_0(z)}{i(z)} = \frac{A z^{-1}}{1 - z^{-1}}$$

となる。

バイリニア理想積分器は、スイッチ4を介して他の入力端子Bをノード2に、点線で示すように接続することで作成することができる。スイッチS1は各サンプリング期間のφ1の間では閉じており、入力端子1は入力電流*i*を受信する。一方、スイッチS4は各サンプリング期間のφ2の間では閉じており、入力端子Bは入力電流*-i*を受信する。この積分器の動作は、以下のようにして解析できる。

サンプリング期間(n-1)のφ2の間において、

$$\begin{aligned} I_1 &= 2j - i(n-1) - I_2 \\ I_2 &= I_3 / A = j - i_0(n)/A \\ I_3 &= j - i(n-1) + i_0(n-1)/A \end{aligned}$$

サンプリング期間nのφ1の間において、

$$\begin{aligned} I_2 &= 2j + i(n) - I_1 \\ &= j + i(n) + j(n-1) - i_0(n-1)/A \end{aligned}$$

- 17 -

- 18 -

特開平 3-75978(6)

$$= i_2 / A$$

$$= j - i_0(n) / A$$

これより、

$$i_0(n) / A = -i(n) - i(n-1) + i_0(n-1) / A$$

$$i_0(n) - i_0(n-1) = -A [i(n) + i(n-1)]$$

z 領域に変換すると、

$$i_0(z)(1-z^{-1}) = -A [i(z)(1+z^{-1})]$$

$$H(z) = \frac{i_0(z)}{i(z)} = -A \cdot \frac{1+z^{-1}}{1-z^{-1}}$$

となる。

順方向入力、本願人の出願に係る特願平-2-118837号(特開平3-)に記載したような積分器に加えられることができる。このことは、他の入力端子9とノード2とを点線で示すように接続することで達成される。

順方向入力を用いた回路の動作は、逆方向オイラー・マッピングを実行する場合、すなわち、各サンプリング期間のφ1の間にスイッチS1を閉じた際には、以下のように解析することができる。

入力電流 i_1 を入力端子1に供給し、入力電流 i_2

を入力端子9に供給するものと仮定する。

サンプリング期間(n-1)のφ2の間において、

$$i_1 = 2j + i_2(n-1) - i_2 \quad \text{及び}$$

$$i_2 = i_2 / A = j - i_0(n-1) / A$$

となり、

$$\text{それゆえ、} \quad i_1 = j + i_2(n-1) + i_0(n-1) / A$$

なる。

サンプリング期間nのφ1の間においては、

$$i_2 = i(n) + i_2(n) + 2j - i_1$$

$$= i_2 / A = j - i_0(n) / A$$

$$j \cdot i_0(n) / A = 2j + i_1(n) + i_2(n) - j \cdot i_2(n-1) - i_0(n-1) / A$$

$$i_0(n) - i_0(n-1) = A [i_2(n) - i_2(n-1) + i_1(n)]$$

となり、

z 領域に変換すると、

$$i_0(z)(1-z^{-1}) = A [i_2(z) - i_2(z)(1-z^{-1})]$$

$$i_0(z) = \frac{A i_2(z)}{1-z^{-1}} - A i_2(z)$$

これは、入力電流 i_1 の逆方向オイラー理想積分器に相当するとともに、拡大及び信号の反転に伴い、入力電流 i_2 の順方向オイラー理想積分器に相

当する。

1以上の順方向入力に供給されると、複数のソースからの信号がこの積分回路でフィードフォワードされること明らかであろう。同様に、複数の切換え入力を供給すると、複数のソースからの信号が同時に積分される。このことは、この積分器が1つ以上の信号源に対してバイリニア積分器として動作するとともに、他の信号に対しては、順方向オイラー積分器として動作し、また、さらに他の信号に対して逆方向オイラー積分器として動作する。このような同時に供給され、使用される信号数は、電流メモリ・セルの入力インピーダンス及び信号源の出力インピーダンスに依存している。

第3図は、損失性積分器(Lossy Integrator)を示している。第3図に示されたこの回路は入力端子50を有し、この端子50をスイッチS50を介してノード51に接続する。電流源52をノード51と正の給電ライン53との間に接続する。2つのnチャンネル電界効果トランジスタT51とT52とのドレイン

電極及び3つのスイッチS51、S52とS53をもまたノード51に接続する。トランジスタT51及びT52のソース電極を負の給電ライン54に接続する。スイッチS51の他端を、トランジスタT51のゲート電極とキャパシタC51との接続点に接続するとともに、スイッチS52の他端を、トランジスタT52のゲート電極とキャパシタC52との接続点に接続する。キャパシタC51及びC52の他端を負の給電ライン54に接続する。電流源55を、正の給電ライン53とスイッチS53の他端及びnチャンネル電界効果トランジスタT53のドレイン電極との接続点との間に接続し、このトランジスタT53のソース電極を負の給電ライン54に接続する。電流源56を正の給電ライン53と、出力端子57及びnチャンネル電界効果トランジスタT4のドレイン電極の接続点との間に接続し、このトランジスタT54のソース電極を負の給電ライン54に接続する。トランジスタT52のゲート電極をトランジスタT53及びT54のゲート電極に接続する。

各サンプリング期間のφ1の間ではスイッチS52

特開平 3-75978(7)

とS53とを閉じ、また、各サンプリング期間のφ2の間ではスイッチS50とS51とを閉じる。電流源52は電流2jを発生し、電流源55は電流xjを発生し、電流源56は電流(1+x)jを発生する。

トランジスタT53のチャンネル幅/長さ比はトランジスタT52のそのx倍であり、トランジスタT54のチャンネル幅/長さ比はトランジスタT52のその(1+x)倍である。なお、トランジスタT54のチャンネル幅/長さ比は、必ずしもトランジスタT52のその(1+x)倍とする必要はない。この値は、単に数式を簡単にするものであり、いかなる所望のスケーリング・ファクタをも利用することができる。

第3図に示す回路の動作は以下のように解析することができる。サンプリング期間(n-1)のφ2の間において、トランジスタT51を流れる電流I₁は次の関係式で与えられる。

$$I_1 = 2j + i(n-1) - I_2$$

ここで、I₂はトランジスタT52を流れる電流である。

- 2 3 -

すなわち、 $H(z) = z^{-1}/(1-z^{-1})$

逆方向オイラー損失性積分器(Backward Euler Lossy Integrator)は、各サンプリング期間のφ2の間よりむしろ、φ1の間において、単にスイッチS50を閉じることで構成できる。バイリニア損失性積分器は、第2切り換え可能入力端子58を設けることによって形成でき、この入力端子58をスイッチS54を介してノード51に接続する。各サンプリング期間のφ1の間においてスイッチS50は閉じており、入力端子50は電流iを受信する。一方、各サンプリング期間のφ2の間においてスイッチS54は閉じており、入力端子58は電流-iを受信する。

逆方向オイラー損失性積分器又はバイリニア損失性積分器をなすように構成した第3図に示す回路は、順方向オイラー損失性積分器と同様の解析方法で解析できる。さらに、第3図に点線で示したように、入力端子59を直接ノード51に接続した場合、順方向機能を積分器に加えることができる。

x << 1の場合、高Q回路が形成されるも、トラ

$$I_1 = 2j + i(n-1) - \{(1+x)j - i_0(n-1)\} / (1+x)$$

$$= j + i(n-1) + i_0(n-1) / (1+x)$$

サンプリング期間nのφ1の間において、トランジスタT54を流れる電流I₄は次の関係式で与えられる。

$$I_4 = I_2 + I_0 \quad (\text{ここで } I_0 \text{ はトランジスタT53を流れる電流である。})$$

$$= 2j + xj - I_1$$

$$I_0(n) = (1+x)j - I_1$$

$$= (1+x)j - \{2j + xj - j - i(n-1) - i_0(n-1)/(1+x)\}$$

$$= j(n-1) + i_0(n-1)/(1+x)$$

z領域に変換すると、

$$I_0(z) = j(z)z^{-1} + i_0(z)z^{-1}/(1+x)$$

$$I_0(z) \{(1-z^{-1})/(1+x)\} = i(z)z^{-1}$$

$$H(z) = I_0(z) = z^{-1}/\{(1-z^{-1})/(1+x)\}$$

となる。

これは、順方向オイラー損失性積分器(Forward Euler Lossy Integrator)であり、ここにファクタxは損失項である。x=0のときに理想積分器が形成されることは自明である。

- 2 4 -

ンジスタの寸法のエッジ・エラーのためxが良好に規定されなくなる。このことは、xの値を相殺によりエッジ・エラーを小さくすることが可能な2つの値の差として定めることで改善可能である。第4図に示す回路は、このことがいかにして達成されるかを示している。第4図において第3図に対応する素子には同一参照符号付して示している。スイッチS53の代わりに、2つのスイッチS58とS59とをノード51に接続している点で第4図が第3図と相違している。スイッチS58の他端を、電流源58とnチャンネル電界効果トランジスタT58のドレイン電極との接続点に接続し、このトランジスタT58のソース電極を負の給電ライン54に接続する。スイッチS59の他端を、電流源59とnチャンネル電界効果トランジスタT59のドレイン電極との接続点に接続し、このトランジスタT59のソース電極を負の給電ライン54に接続する。トランジスタT58及びT59のゲート電極を、トランジスタT52のゲート電極に接続する。電流源58及び59の他端を、正の給電ライン53に接続する。

- 2 6 -

- 2 5 -

特開平 3-75978(8)

電流源58及び59、スイッチS58及びS59とトランジスタT58及びT59とが、スイッチS53、電流源55とトランジスタT53に置き換わっていることがわかる。電流源58及び59は、それぞれ電流 x_1j 及び x_2j を発生する。トランジスタT58及びT59は、トランジスタT52を流れる電流の、それぞれ x_1 倍及び x_2 倍の電流となるような寸法とする。電流源56は電流 $(1+x_1)j$ を発生し、トランジスタT54はトランジスタT52が発生する電流の $(1+x_1)$ 倍の電流を発生する寸法とする。各サンプリング期間の $\phi 2$ の間ではスイッチS50、S51及びS59は閉じており、各サンプリング期間の $\phi 1$ の間ではスイッチS52及びS58は閉じている。

第4図に示す回路の動作は以下のように解析できる。サンプリング期間 $(n-1)$ の $\phi 2$ の間では、トランジスタT51を流れる電流 I_1 は次の関係式で与えられる。

$$I_1 = 2j + i(n-1) - I_2 + x_2 - I_3$$

ここで、 I_2 はトランジスタT52を流れる電流、

I_3 はトランジスタT59を流れる電流である。

$$I_2 = I_4 / (1+x_1) \quad (\text{ここで } I_4 \text{ はトランジスタT54を流れる電流である。})$$

$$= j - i_0(n-1) / (1+x_1)$$

$$= I_5 / x_2$$

これより、

$$I_1 = 2j + i(n-1) - \{j - i_0(n-1) / (1+x_1)\} + x_2j \\ - \{j - i_0(n-1) / (1+x_1)\} x_2$$

$$= j + i_0(n-1)(1+x_2) / (1+x_1) + i(n-1)$$

サンプリング期間 n の $\phi 1$ の間では

$$I_4 = I_2 + I_5 \quad (\text{ここで } I_5 \text{ はトランジスタT58を流れる電流である。})$$

$$= 2j + x_1j - I_1$$

$$= (1+x_1)j - \{i(n-1) + i_0(n-1)(1+x_2) / (1+x_1)\}$$

$$i_0(n) = (1+x_1)j - I_4$$

$$= i(n-1) + i_0(n-1)(1+x_2) / (1+x_1)$$

z 領域に変換すると、

$$i_0(z) = i(z)z^{-1} + i_0(z)z^{-1}(1+x_2)(1+x_1)$$

$$H(z) = z^{-1} / \{1 - z^{-1}(1+x_2) / (1+x_1)\}$$

- 27 -

- 28 -

$$\approx z^{-1} / \{1 - (1 - (x_1 - x_2))z^{-1}\}$$

となる。

従って、 $x_1 \ll 1$ かつ $x_2 \ll 1$ であると仮定すると、損失項は、ほぼ $x_1 - x_2$ に等しくなる。

逆方向オイラー積分器及びバイリニア積分器及び1つ以上の順方向入力を付加した場合にも同様の解析がなされる。

第5図は、本発明による全差動バイリニア損失性積分器を示している。第5図に示す積分器は第1入力端子300を有し、この端子300をスイッチS300を介して電流源301と n チャンネル電界効果トランジスタT301のドレイン電極との接続点に接続し、電流源301の他端を正の給電ライン302に接続するとともに、トランジスタT301のソース電極を負の給電ライン303に接続する。スイッチS301をトランジスタT301のドレイン・ゲート電極間に接続し、キャパシタC301をそのゲート・ソース電極間に接続する。電極源304を、正の給電ライン302と n チャンネル電界効果トランジスタT302との間に接続し、そのトランジスタT302のソ

ース電極を負の給電ライン303に接続する。スイッチ302をトランジスタT302のドレイン・ゲート電極間に接続し、キャパシタC302をそのゲート・ソース電極間に接続する。トランジスタT302のドレイン電極をトランジスタT301のドレイン電極に接続するとともに、スイッチS303を介して n チャンネル電界効果トランジスタT303のドレイン電極に接続し、このトランジスタT303のソース電極を負の給電ライン303に接続する。電流源305をトランジスタT303のドレイン電極と正の給電ライン302との間に接続する。電流源306を正の給電ライン302と2つの n チャンネル電界効果トランジスタT304及びT305のドレイン電極との間に接続し、トランジスタT304及びT305のソース電極を負の給電ライン303に接続する。トランジスタT305のドレイン電極をゲート電極に接続するとともに、 n チャンネル電界効果トランジスタT306のゲート電極に接続する。トランジスタT306のソース電極を負の給電ライン303に接続し、そのドレイン電極を出力端子307に接続するとともに、電流源308

特開平 3-75978(9)

を介して正の給電ライン302に接続する。トランジスタT302のゲート電極をトランジスタT303及びT304のゲート電極に接続する。

第2入力端子310を、スイッチS310を介して電流源311とnチャンネル電界効果トランジスタT311のドレイン電極との接続点に接続する。電流源311の他端を正の給電ライン302に接続し、トランジスタT311のソース電極を負の給電ライン303に接続する。スイッチS311をトランジスタT311のドレイン・ゲート電極間に接続し、キャパシタC311をそのゲート・ソース電極間に接続する。トランジスタT311のドレイン電極を、電流源314とnチャンネル電界効果トランジスタT312のドレイン電極との接続点に接続する。電流源314の他端を正の給電ライン302に接続し、T312のソース電極を負の給電ライン303に接続する。スイッチS312をトランジスタT312のドレイン・ゲート電極間に接続し、キャパシタC312をそのゲート・ソース電極間に接続する。

トランジスタT312のドレイン電極を、スイッチ

S313を介して電流源315とnチャンネル電界効果トランジスタT313のドレイン電極との接続点に接続する。電流源315の他端を正の給電ライン302に接続し、トランジスタT313のソース電極を負の給電ライン303に接続する。電流源316を、正の給電ライン302と2つのnチャンネル電界効果トランジスタT314及びT315のドレイン電極との間に接続し、このトランジスタT314及びT315のソース電極を負の給電ライン303に接続する。トランジスタT315のドレイン電極をそのゲート電極に接続するとともに、nチャンネル電界効果トランジスタT316のゲート電極に接続する。トランジスタT316のソース電極を負の給電ライン303に接続し、そのドレイン電極を出力端子317に接続するとともに、電流源318を介して正の給電ライン302に接続する。トランジスタT312のゲート電極をトランジスタT313及びT314のゲート電極に接続する。

トランジスタT306のドレイン電極をnチャンネル電界効果トランジスタT317のドレイン電極に接続し、このトランジスタT317のソース電極を負の

- 31 -

- 32 -

給電ライン303に接続し、そのゲート電極をトランジスタT312のゲート電極に接続する。トランジスタT316のドレイン電極をnチャンネル電界効果トランジスタT307のドレイン電極に接続し、トランジスタT307のソース電極を負の給電ライン303に接続し、そのゲート電極をトランジスタT302のゲート電極に接続する。入力端子300を、さらにスイッチS304を介して電流源311とトランジスタT311のドレイン電極との接続点に接続し、入力端子310を、さらにスイッチS314を介して電流源301とトランジスタT301のドレイン電極との接続点に接続する。

電流源301、304、311及び314は、電流*j*を発生するようになっており、電流源305及び315は、電流*xj*を発生するようになっており、電流源306、308、316及び318は電流*j(1+x)/2*を発生するようになっており、トランジスタT302、T303、T307及びT304により形成される電流ミラーは電流比が1 : $x : (1+x)/2 : (1+x)/2$ となるように構成する。トランジスタT305及びT306により形成される

電流ミラーは電流比が1 : 1となるように構成する。トランジスタT312、T313、T317及びT314により形成される電流ミラーは、電流比が1 : $x : (1+x)/2 : (1+x)/2$ となるようになっている。トランジスタT315及びT316により形成される電流ミラーは電流比が1 : 1となるようになっている。

各サンプリング期間の $\phi 1$ （第2図参照）の間においては、スイッチS300、S302、S303、S310、S312及びS313は閉じており、また、各サンプリング期間の $\phi 2$ の間においては、スイッチS301、S304、S311及びS314は閉じている。

第5図の回路は基本的に2つの相互接続されたバイリニア積分器を具えており、それぞれ実質的に第3図に示す形態をとっていることがわかる。トランジスタT304、T307、T314、T317のスケールリングは $(1+x)/2$ である。というのは、各積分器の出力信号を合計し差分出力信号を供給するからである。各積分器には、正しい符号の電流を得るために追加の電流ミラーもまた必要とされる。

第6図は、第1図に示す形態の理想積分器を示

特開平 3-75978(10)

しており、ここでは高出力インピーダンスを与えるため、電流メモリ・セルをカスコード接続されたトランジスタを用いて形成している。第6図に示すように、この積分器は入力端子100を有しており、この入力端子をスイッチS100を介してノード102に接続する。電流源101をノード102と正の給電ライン103との間に接続する。さらに、ノード102を2つのnチャンネル電界効果トランジスタT101及びT102のドレイン電極に接続するとともに、2つのスイッチS101及びS102の一端に接続する。トランジスタT101及びT102のソース電極を他の2つのnチャンネル電界効果トランジスタT103及びT104にそれぞれ接続する。スイッチS101の他端をトランジスタT103のゲート電極とキャパシタC101との接続点に接続し、一方で、スイッチS102の他端をトランジスタT104のゲート電極をキャパシタC102の接続点に接続する。キャパシタC101及びC102の他端を負の給電ライン104に接続する。トランジスタT103のゲート電極をnチャンネル電界効果トランジスタT105のゲート電極に接続し、

一方で、トランジスタT104のゲート電極をnチャンネル電界効果トランジスタT106のゲート電極に接続する。トランジスタT105のドレイン電極をnチャンネル電界効果トランジスタT107のソース電極に接続し、トランジスタT107のドレイン電極をpチャンネル電界効果トランジスタT108のドレイン電極及びゲート電極に接続する。トランジスタT108のゲート電極をpチャンネル電界効果トランジスタT109のゲート電極に接続し、トランジスタT109のソース電極を正の給電ライン103に接続するとともに、そのドレイン電極をnチャンネル電界効果トランジスタT110のドレイン電極及びゲート電極に接続する。トランジスタT106のドレイン電極をnチャンネル電界効果トランジスタT111のソース電極に接続し、トランジスタT111のドレイン電極を出力端子105に接続するとともに、電流源106を介して正の給電ライン103に接続する。トランジスタT108のソース電極を正の給電ライン103に接続する。トランジスタT110のゲート電極をトランジスタT101、T102、T107及びT111のゲート電極に接続する。

35 -

- 36 -

ト電極に接続する。トランジスタT103、T104、T105、T106及びT110のソース電極を、それぞれ抵抗R103、R104、R105、R106及びR110を介して負の給電ライン104に接続する。

第6図に示す回路は、本質的には第1図に示す回路と同じであり、この回路は、特に積分器の出力端子に接続された第2電流メモリ・セル中のミラー装置の出力インピーダンスを増加させるためのカスコード・トランジスタでそれぞれ形成された電流メモリ・セルを有している。さらに、電流ミラー回路のブランチ間の整合を改善するため、ソース縮退抵抗を設けている。トランジスタT105、T107、T108、T109及びT110と抵抗R105及びR110は、カスコード接続されたトランジスタのバイアス電圧発生回路を形成し、この回路は、本願人の出願に係る特願昭63-322205号（特開平1-202012号）に記載されているように動作し、これをバイアス電圧発生回路の動作説明の参照とすることができる。優れた動作のために、2つの電流メモリ・セルにはそれぞれ個別にバイアス電圧発生回路を設

けるべきである。これにより、バイアス電圧を、ここの電流メモリ・セル中の電流で適切な値に保つことができる。これは、2つの電流メモリ・セルが通常きわめて異なる電流で動作するからであり、また、単一のバイアス源を設けた場合、カスコード・トランジスタのバイアス電圧を適正值にして、最大電流を供給するトランジスタが飽和状態を保つようにする必要がある。明らかに、ここで示した電流メモリ・セルのいずれか又はすべてを第6図に示したような電流メモリ・セルで置き換え可能であり、この電流メモリ・セルはソース縮退抵抗を有する場合と、有さない場合とがあり、かつ、一般的又は個々のバイアス電圧発生回路を有しており、この回路は第6図で示したものの、たとえば上記（特開平1-202012号）公報を照会する際にすでに述べたものとは違った形態をとりうる。

第6図に示す積分器を、第1図に示す装置と同様に、（点線で示す）入力端子108及びスイッチS104を設けバイリニア積分器として構成できる。同様に、（点線で示す）ノード102に接続した人

特開平 3-75978(11)

力端子109を設けることで、順方向機能をもたせることができる。

第7図は、一般的には第1図に示す形態となる理想積分器を示しており、ここでは電流メモリ・セルを変形電流搬送回路を用いて構成する。第7図に示す積分器は入力端子200を有しており、この入力端子200をスイッチS200を介してノード201に接続する。電流源202を正の給電ライン203とノード201との間に接続する。2つのpチャンネル電界効果トランジスタT200及びT204のソース電極もまたノード201に接続する。トランジスタT200のドレイン電極をnチャンネル電界効果トランジスタT201及びスイッチS201の一端に接続する。スイッチS201の他端を、トランジスタT201のゲート電極及びnチャンネル電界効果トランジスタT202のゲート電極及びキャパシタC201の一端に接続し、キャパシタC201の他方の端を負の給電ライン204に接続する。トランジスタT202のドレイン電極をpチャンネル電界効果トランジスタT203のドレイン電極及びゲート電極に接続し、トランジ

スタT203のソース電極をバイアス電圧ライン205に接続する。トランジスタT203のゲート電極をスイッチS202を介してトランジスタT202のゲート電極に接続する。トランジスタT201及びT202のソース電極を負の給電ライン204に接続する。トランジスタT200～T203、スイッチS201及びS202、キャパシタC201により、変形電流搬送回路の形態で第1電流メモリ・セルを形成する。

トランジスタT204のドレイン電極をコチャンネル電界効果トランジスタT205のドレイン電極に接続するとともに、スイッチS205の一端に接続する。スイッチS205の他端を、トランジスタT205のゲート電極、nチャンネル電界効果トランジスタT206のゲート電極及びキャパシタC205の一端に接続し、その他端を負の給電ライン204に接続する。トランジスタT206のドレイン電極をpチャンネル電界効果トランジスタT207のドレイン及びゲート電極に接続し、トランジスタT207のソース電極をバイアス電圧ライン205に接続する。トランジスタT207のゲート電極をスイッチS206を介してトラン

- 39 -

- 40 -

ジスタT204のゲート電極に接続する。トランジスタT205及びT206のソース電極を負の給電ライン204に接続する。トランジスタT204～T207、スイッチS205及びS206、及びキャパシタC205により、第1電流メモリ・セルと同じ形態の第2電流メモリ・セルを形成する。

トランジスタT206のゲート電極をnチャンネル電界効果トランジスタT208のゲート電極に接続し、このトランジスタT208のソース電極を負の給電ライン204に接続する。トランジスタT208のドレイン電極を出力端子206に接続するとともに、電流源207を介して正の給電ライン203に接続する。トランジスタT208は第2電流メモリ・セルの第2出力端子を形成し、トランジスタT205及びT206との関係で積分器に対して所望の利得率を与えるような寸法とすることができる。

第7図に示す回路の動作は基本的には第1図に示す回路と同様である。スイッチS201及びS202（又は、S205及びS206）を閉じた場合、変形電流搬送回路により電流メモリ・セルを形成すること

により電流メモリ・セルに対する入力インピーダンスを極めて低く（ほぼ零）することができる。このことは、ノード201において複数の電流が電流メモリ・セルの入力端子に加えられた場合、特に有利である。これは、第3図及び第4図に示すような損失性積分器を構成する場合、すなわち、複数の電流源を合わせて電流メモリ・セルの入力端子に加える場合についてもいえることである。

第8図は第7図の変形例を示しており、ここでは、クラスIの電流搬送回路よりむしろクラスIIの電流搬送回路を用いる。本願人の出願に係る特願平2-35972号に記載されているように、電流搬送回路は3端子回路網であり、これらの端子をx, y, zにて示すことができる。その成端特性はこれらの入力に対応する出力を求めるハイブリッドマトリックスによって、表現できる。クラスIの電流搬送回路では、この関係は、次のようになる。

$$\begin{pmatrix} 1 & y \\ v & x \\ i & z \end{pmatrix} = \begin{pmatrix} 0 & 1 & 0 \\ 1 & 0 & 0 \\ 0 & -1 & 0 \end{pmatrix} \begin{pmatrix} v & y & y \\ i & x \\ v & z \end{pmatrix}$$

特開平 3-75978(12)

クラスⅡの電流搬送回路では、この関係は、次のようになる。

$$\begin{pmatrix} i_y \\ V_x \\ i_z \end{pmatrix} = \begin{pmatrix} 0 & 0 & 0 \\ 1 & 0 & 0 \\ 0 & \pm 1 & 0 \end{pmatrix} \begin{pmatrix} V_y \\ i_x \\ V_z \end{pmatrix}$$

“電流搬送回路(Current Conveyers)”という表題の論文、すなわちIEEE Circuits and Systems Magazine, Vol.3, No 1, 1981, 10~14ページ及びここで引用されている参考文献中で、Imesh Kumarにより発表された“A Review of the State of the Art”を参照することにより、電流搬送回路及びその具体化に関する他の情報を得ることができる。この刊行物で記載されているように、端子xとzとの間の伝送特性は、入力端子xで仮想短絡し、電流源により制御される電流の伝達特性である。カスコード接続のような技術を用いることにより、端子zでの出力インピーダンスを非常に大きくして、入力インピーダンスと出力インピーダンスとの差を大きくすることができる。電流搬送回路の入力端子が加算ノードを形成する場合、

非常に小さな入力インピーダンス（仮想短絡回路）により、正確な電流加算が可能となる。

第8図は、第1図に示した理想積分器の一般的な形態について示しており、ここでは電流メモリ・セルを變形クラスⅡの電流搬送回路として構成しており、この回路は、実質上前記特願平2-35972号に示すものである。第8図において、第7図に相当するものには同じ参照符号を付しており、第7図に示した回路に付加したものについてののみこれより説明する。トランジスタT202のゲート電極を付加的にnチャンネル電界効果トランジスタT210のゲート電極に接続し、このトランジスタT210のソース電極を負の給電ライン204に接続し、そのドレイン電極をpチャンネル電界効果トランジスタT211のドレイン電極に接続する。トランジスタT211のゲート電極をそのドレイン電極に接続するとともに、pチャンネル電界効果トランジスタT212のゲート電極に接続する。トランジスタT211及びT212のソース電極を正の給電ライン203に接続し、トランジスタT212のドレイン電極をト

- 4 3 -

ランジスタT203のドレイン電極に接続するとともに、バイアス電圧ライン205に接続する。

トランジスタT206のゲート電極を、nチャンネル電界効果トランジスタT213のゲート電極に接続し、そのトランジスタT213のソース電極を負の給電ライン204に接続し、そのドレイン電極をpチャンネル電界効果トランジスタT214のドレイン電極に接続する。トランジスタT214のゲート電極をそのドレイン電極に接続するとともに、pチャンネル電界効果トランジスタT215のゲート電極に接続する。トランジスタT214及びT215のソース電極を正の給電ライン203に接続し、トランジスタT215のドレイン電極をトランジスタT207のドレイン電極に接続する。トランジスタT215のドレイン電極をpチャンネル電界効果トランジスタT216のドレイン電極に接続するとともに、pチャンネル電界効果トランジスタT217のソース電極及びバイアス電圧ライン205に接続する。トランジスタT216のゲート電極をトランジスタT217のゲート及びドレイン電極に接続する。トランジスタT217の

- 4 4 -

ドレイン電極を電流源208を介して負の給電ライン204に接続し、トランジスタT216のソース電極を正の給電ライン203に接続する。

スイッチS201及びS202を閉じた場合、トランジスタT200~203及びT210~212は、前記特願平2-35972号に記載されているようなクラスⅡの電流搬送回路を形成し、結果的にノード201で加算される電流に対するインピーダンスを非常に小さくする。スイッチS201及びS202が開いている場合、トランジスタT201及びT200は、スイッチS201及びS202を閉じた際にキャパシタC201に蓄積された電荷に依存する電流を発生する電流源を形成する。同様に、スイッチS205及びS206を閉じた場合、トランジスタT204~207及びT213~215は、クラスⅡの電流搬送回路を形成する。トランジスタT216及びT217と電流源208とからなる回路は、電流搬送回路のy入力のためのバイアス電圧発生回路となる。信号処理能力を最大とするためには、バイアス電圧ライン205の電圧を正の給電ラインの電圧よりV_{DD}。低い値に維持すべきであり、このこ

特開平 3-75978(13)

とは、トランジスタT216のチャンネル幅/長さ比をトランジスタT217のその1/3にすることにより達成される。各サンプリング期間の一方の期間 $\phi 1$ ($\phi 2$)の間はスイッチS201及びS202が閉じており、各サンプリング期間の他方の期間 $\phi 2$ ($\phi 1$)の間は、スイッチS205及びS206が閉じている。明らかに、スイッチのタイミングにより、逆方向オイラー積分器が形成されるのか、あるいは、順方向オイラー積分器が形成されるのかが決定される。

第9図はクラスJの電流搬送回路を用いた積分器を示しており、この電流搬送回路は、スイッチS201及びS202 (又はS205及びS206) を開放した場合の端子xにおける出力インピーダンスを高めるためのカスコード接続されたトランジスタを有している。ここでもまた、第8図に示した回路の付加部分についてのみ説明する。nチャンネル電界効果トランジスタT220では、そのドレイン電極を、トランジスタT220のドレイン電極とスイッチS201の接続点に接続し、そのソース電極をトランジスタT201のドレイン電極に接続する。他のnチャ

ネル電界効果トランジスタT211では、そのドレイン電極をトランジスタT203のドレイン電極に接続し、そのソース電極をトランジスタT202のドレイン電極に接続する。

トランジスタT220のゲート電極をトランジスタT211のゲート電極に接続するとともに、nチャンネル電界効果トランジスタT222のゲート電極に接続し、そのトランジスタT222のソース電極を負の給電ライン204に接続する。トランジスタT222のゲート電極を、そのドレイン電極に接続するとともに、pチャンネル電界効果トランジスタT223のドレイン電極に接続し、このトランジスタT223のソース電極をバイアス電圧ライン205に接続し、そのゲート電極をトランジスタT203のゲート電極に接続する。

nチャンネル電界効果トランジスタT224では、そのドレイン電極をトランジスタT204のドレイン電極とスイッチS205の接続点に接続し、そのソース電極をトランジスタT205のドレイン電極に接続する。他のnチャンネル電界効果トランジスタ

- 47 -

- 48 -

T225では、そのドレイン電極をトランジスタT207のドレイン電極に接続し、そのソース電極をトランジスタT206のドレイン電極に接続する。トランジスタT224のゲート電極をトランジスタT225のゲート電極に接続するとともに、nチャンネル電界効果トランジスタT228のゲート電極に接続し、さらに、nチャンネル電界効果トランジスタT226のゲート電極に接続し、そのソース電極を負の給電ライン204に接続する。トランジスタT226のゲート電極をそのドレイン電極に接続するとともに、pチャンネル電界効果トランジスタT227のドレイン電極に接続する。トランジスタT227のソース電極をバイアス電圧ライン205に接続し、そのゲート電極をトランジスタT207のゲート電極に接続する。トランジスタT208のドレイン電極をトランジスタT228のソース電極に接続し、このトランジスタT228のドレイン電極を出力端子206と電流源207の接続点に接続する。

電流搬送回路型電流メモリセルは、トランジスタT202、トランジスタT220及びT221とトランジ

スタT200及びT203のチャンネル幅/長さ比がすべて1:1となるように形成することができる。この場合、トランジスタT223のチャンネル幅/長さ比はトランジスタT203のそれと同じ値とし、また、トランジスタT222のそれはトランジスタT201及びT202のその1/4とする。従って、スイッチS201及びS202が閉じている場合、トランジスタT222及びT223により形成されるブランチを流れる電流は、トランジスタT200、T220とT201とにより形成される入力ブランチを流れる入力電流に等しくなる。この結果 $V_{+} + 2V_{+}$ の電圧がカスコード接続されたトランジスタT220及びT221のゲート電極に発生する。スイッチS201及びS202が開放されている場合、入力ブランチが電流源となり、カスコード接続のため、電流源が高インピーダンスとなる。トランジスタT220は、そのゲート電極に供給される最適バイアス電圧を有し、この最適バイアス電圧は、スイッチS201及びS202を閉じている場合に供給される電流に依存する。その理由は、入力電流がコンデンサC201に蓄積された電荷によりトラ

特開平 3-75978(14)

ンジスタT223に維持されるからである。なお、トランジスタT221はトランジスタT203への電流のミラーリングの不平衡によってx入力端子（トランジスタT200のソース電極）の電圧がオフ・セットする場合にのみ省くことができる。

なお、電流搬送回路の2つのブランチに異なる電流が流れるようにすることができ、すなわち、トランジスタT201及びT202、トランジスタT220及びT221、トランジスタT200及びT203のチャンネル幅／長さ比をすべてA:1とできる。このようにすると、T202、T221及びT203から成るブランチ中を流れる電流を覆わえられている電流以下として回路の電流消費を減らすことができるという利点がある。この場合、トランジスタT210のチャンネル幅／長さ比を、トランジスタT201のそれの1/4とする。

同様に、トランジスタT223のチャンネル幅／長さ比をトランジスタT200のそれのB倍とすることができ、トランジスタT222のチャンネル幅／長さ比をトランジスタT201のそれのB/4倍とすること

ができる。この場合、トランジスタT213のチャンネル幅／長さ比をトランジスタT212のそれの(A+B)倍とし、ライン205に正味の電流が流れず、クラスIIの動作を維持させる。

他の電流搬送回路をノードに接続しない場合には、スイッチS202は必ずしも必要ではない。他の電流回路を取り除いた場合、電流メモリ・セルは入力端子xにおけるライン205におけるバイアス電圧にセットする。このとき、電流メモリ・セルは電流源として動作する。他の電流搬送回路のx入力端子を同じノードに接続した場合、その回路は自己のx入力端子をライン205のバイアス電圧にセットしようとする。2つの電流搬送回路間にオフ・セットがある場合には、トランジスタT200のソース電極での電位は、正確にトランジスタT203のソース電極の電位と等しくならないために、x入力端子に生じる電流に誤差が生じる。なお、スイッチS201及びS202を開放し、x入力端子をz出力端子と等しいとみなすことができる場合を除き、第1電流メモリ・セルにx出力端子を省くこ

- 5 1 -

とができる。スイッチS205及びS206を開放した場合、第2電流メモリ・セルはトランジスタT228のドレイン電極にz出力端子を有するとともに、x入力端子に擬似出力端子を有する。

第10図は、第4図に示したものと同一形態の積分器を示しており、これは、変形能動電流ミラーを電流メモリ・セルとして用いるために変形したものである。能動電流ミラー回路は、“High Resolution Current-Mode A/D Converters using Active Current Mirrors”という表題のD.G.NairnとC.A.T. Salamaによる1988年10月13日のElectronics Lettersの会報に開示されている。

第10図に示した回路において、第4図に示した構成要素と同じ形態及び機能を有する構成要素については、同じ参照符号を用い、以下の第10図の説明では、第4図の実施例中に存在しない特徴のみについて言及する。この第10図の回路は、電流源60、2つのpチャンネル電界効果トランジスタT60及びT61と2つのnチャンネル電界効果トランジスタT62及びT63とを追加し、また、スイッ

- 5 2 -

チS51及びS52の一端をノード51に接続する代わりに、トランジスタT60のドレイン電極とトランジスタT62のドレイン電極との接続点に接続することによって第4図を変形したものである。電流源60を正の給電ライン60と、トランジスタT60のドレイン電極及びトランジスタT61のドレイン電極の接続点との間に接続する。トランジスタT61のゲート電極をノード51に接続し、トランジスタT60のゲート電極をバイアス電圧源V_Bに接続する。トランジスタT61のドレイン電極をトランジスタT63のドレイン電極及びゲート電極に接続し、トランジスタT60のドレイン電極をトランジスタT62のドレイン電極に接続する。トランジスタT62のゲート電極とT63のゲート電極とを相互に接続し、T62及びT63のソース電極を負の給電ライン54に接続する。電流源60及びトランジスタT60～63は差動増幅器を形成し、ノード51に接続する非反転入力端子、バイアス電圧源に接続する。反転入力端子とスイッチS51及びS52の接続点に接続する出力端子とを有している。

- 5 3 -

- 5 4 -

特開平 3-75978(15)

この回路によって、ノード51の電圧を V_0 に近い値に設定する。入力電流の変動によって、スイッチS51又はS52が閉じているかどうかに応じて、トランジスタT51又はT52のゲートソース電位が変動し、この結果ノード51の電圧変動が極めて小さくなる。この変動の振幅及び電流メモリセルの入力インピーダンスは、差動増幅器の利得に依存し、従って、その変動の振幅を極めて小さくすることができる。この変形は第1図～第5図に示すいかなる積分回路についても可能であり、第6図に図示したカスコード電流メモリセルを設けることもできる。

第11図は理想積分回路を示しており、この回路ではnチャンネル電界効果トランジスタを用いた電流メモリセルをpチャンネル電界効果トランジスタを用いた電流メモリセルと組み合わせて用いる。

第11図に示しているように、この積分回路は入力端子400を有しており、この端子400をスイッチS400を介してノード401に接続する。また、第

1電流源402の一端、第2電流源409の一端、他の2つのスイッチS401及びS402の一端と、pチャンネル電界効果トランジスタT401のドレイン電極及びnチャンネル電界効果トランジスタT402のドレイン電極もまたノード401に接続する。電流源402の他端を正の給電ライン403に接続し、電流源409のもう一方の端を負の給電ライン406に接続する。トランジスタT401のゲート電極を他のpチャンネル電界効果トランジスタT403のゲート電極に接続するとともに、スイッチS401のもう一方の端とキャパシタC301の一端との接続点に接続し、このキャパシタC301のもう一方の端を正の給電ライン504に接続する。トランジスタT403のソース電極を正の給電ライン403に接続し、そのドレイン電極を出力端子404に接続するとともに、電流源405を介して負の給電ライン406に接続する。スイッチS402のもう一方の端を、トランジスタT402のゲート電極とキャパシタC402との接続点に接続する。キャパシタC402のもう一方の端及びトランジスタT402のソース電極を負の給電ライン

- 5 5 -

406に接続する。

第11図に示した積分器の動作は以下のように解析できる。各サンプリング期間の $\phi 1$ において、スイッチS400及びS401は閉じており、各サンプリング期間の $\phi 2$ において、スイッチS401は閉じている。電流源402及び409は、電流 j を供給し、電流源405は電流 Aj を供給する。トランジスタT403のチャンネル幅/長さ比は、トランジスタT401のその A 倍である。

サンプリング期間 $n-1$ （第2図参照）の $\phi 1$ の間、トランジスタT402を流れる電流 I_2 は以下の式で与えられる。

$$I_2 = I_1$$

ここで、 I_1 は、トランジスタT401を流れる電流

$$= j_0 / A$$

ここで、 I_2 はトランジスタT403を流れる電流

$$= [Aj + j_0(n-1)] / A$$

$$= j + j_0(n-1) / A$$

- 5 6 -

サンプリング期間 n の $\phi 1$ の間において

$$I_1 = I_2 - i(n)$$

$$= j + j_0(n-1) / A - i(n)$$

$$= j + i_0(n) / A$$

$$i_0(n) / A = i_0(n-1) / A - i(n)$$

である。

z 領域に変換すると、

$$I_0(z)(1-z^{-1}) = -Ai(z)$$

$$H(z) = \frac{I_0(z)}{i(z)} = \frac{A}{1-z^{-1}}$$

このようにして、理想積分器の逆方向オイラーマッピングを達成した。

順方向オイラー理想積分器は各サンプリング期間 $\phi 2$ の間でスイッチS400及びS402を閉じ、かつ、各サンプリング期間の $\phi 1$ の間でスイッチS401を閉じるようにして作成することができる。バイリニア積分器は、点線で示した、スイッチS404を介して他の入力端子407からノード401への接続することによって作成することができる。各サンプリング期間の $\phi 1$ の間、スイッチS400及びS401を閉じ、各サンプリング期間の $\phi 2$ の間、スイッ

- 5 7 -

- 5 8 -

特開平 3-75978(16)

ちS402及びS404を閉じる。入力電流 i を入力端子 400 に供給し、入力電流 $-i$ を入力端子 407 に供給する。

順方向オイラー積分器及びバイリニア積分器は逆方向オイラー積分器に関して解析したのと同様の方法で解析することができる。

順方向入力端子は他の入力端子 408 をノード 401 に接続することで形成することができる。この接続を第11図に点線で示している。この回路は、第1図について述べたのと同様の方法で解析することができる。

明らかに、第6図～第10図のいずれかに示した回路で、基本的な電流メモリ・セルを置き換えることによって、第11図に示す積分器を變形することができる。この第6図～第10図のいずれかに示した回路は、第3図又は第4図に示したものと同様の極性装置及び損失性積分器のいずれかを用いて作成可能である。さらに、第5図に示したものと等価の全く異なる構成のものを構成することができる。

- 59 -

4. 図面の簡単な説明

第1図は、本発明による積分回路の第1実施例を示す回路図、

第2図は、ここに示す実施例中のスイッチを作動させるのに用いるクロック信号を示す時間線図、

第3図は、本発明による積分回路の第2実施例を示す回路図、

第4図は、本発明による積分回路の第3実施例を示す回路図、

第5図は、本発明による積分回路の第4実施例を示す回路図、

第6図は、本発明による積分回路の第5実施例を示す回路図、

第7図は、本発明による積分回路の第6実施例を示す回路図、

第8図は、本発明による積分回路の第7実施例を示す回路図、

第9図は、本発明による積分回路の第8実施例を示す回路図、

第10図は、本発明による積分回路の第9実施例

本発明は、ここに開示されている実施例に限定されるものではなく、要旨を凌駕しない範囲内で、種々の變形又は変更が可能である。

- 60 -

を示す回路図、

第11図は、本発明による積分回路の第10実施例を示す回路図である。

T1 & S2 & C1…第1電流メモリ・セル

T2 & S3 & C2…第2電流メモリ・セル

S201, 202, C201 …第1電流メモリ・セル

S205, 206, C205 …第2電流メモリ・セル

Fig. 1.

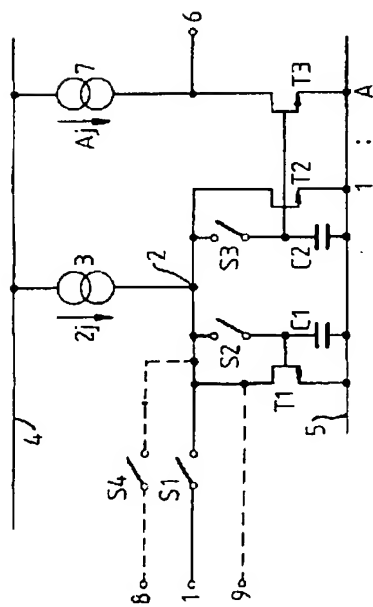


Fig. 2.

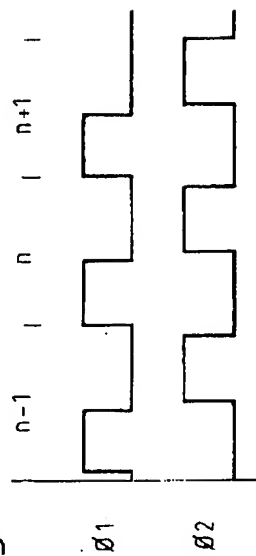


Fig. 3.

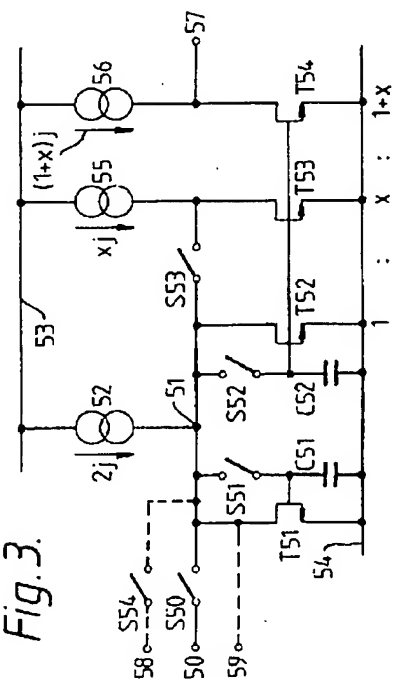


Fig. 4.

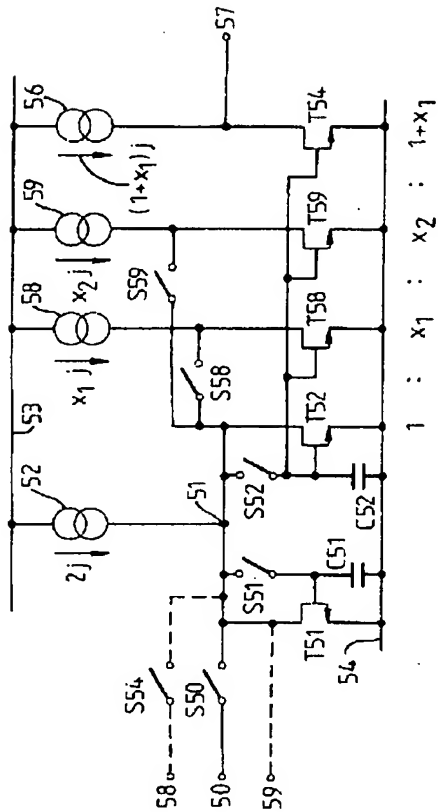
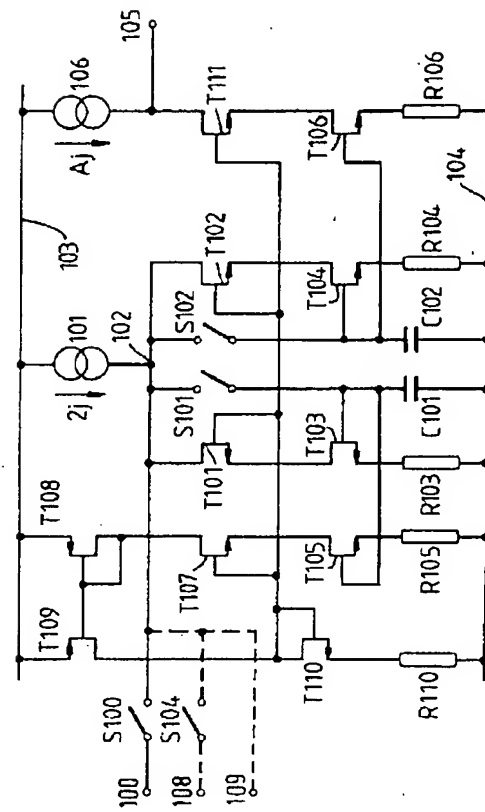


Fig. 6.



特開平 3-75978(19)

Fig. 9.

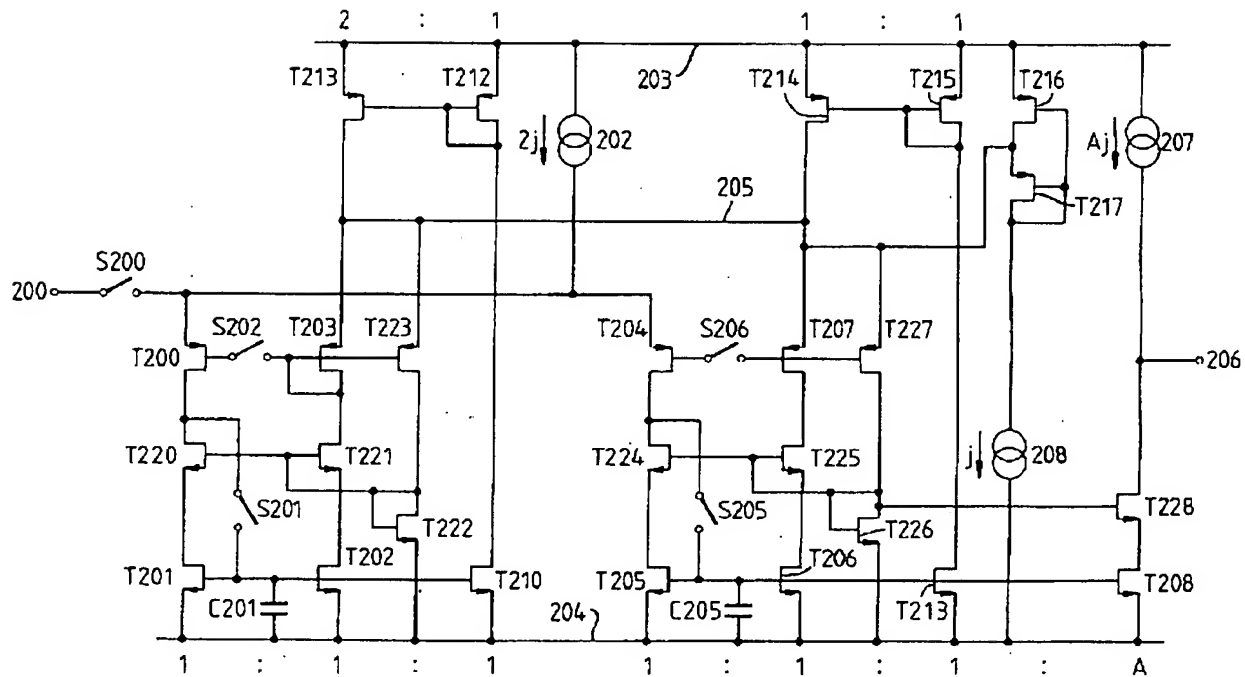


Fig. 10.

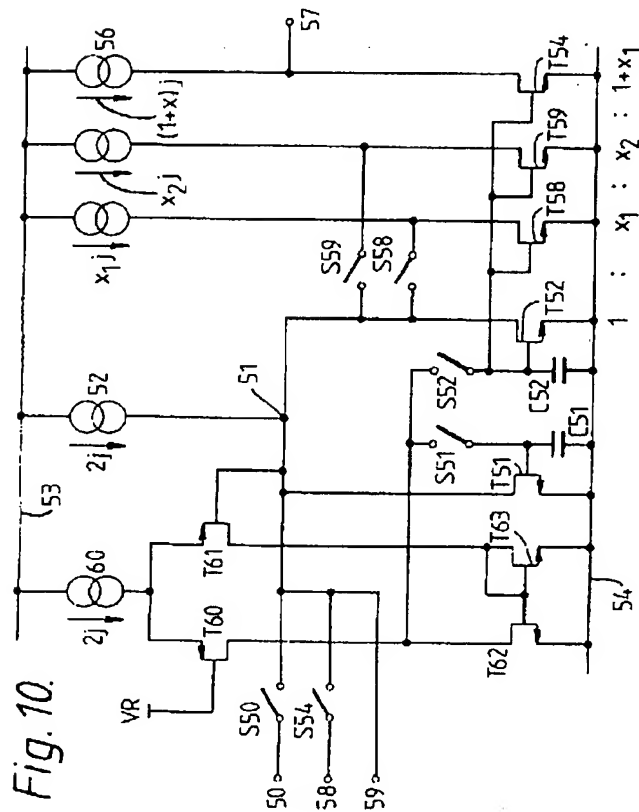


Fig. 11.

